

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

This Page Blank (uspto)

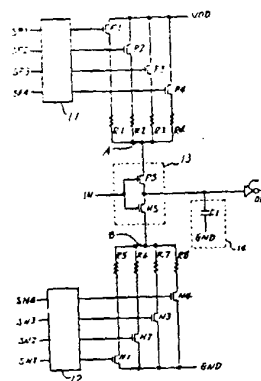
722

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(11) 4-135311 (A) (43) 8.5.1992 (19) JP
(21) Appl. No. 2-257801 (22) 27.9.1990
(71) NEC CORP (72) MASAHARU NAGASHIMA
(51) Int. Cl. H03K5 13

PURPOSE: To easily change delay time by providing a selective circuit for changing a voltage to be impressed to a driving circuit.

CONSTITUTION: This circuit is composed by providing a selective circuit 11, selective circuit 12, driving circuit 13, load 14, inverter 15, P channel(ch) transistors P1-P5, Nch transistors N1-N5, resistors R1-R8 and capacitor C1. In this case, the selective circuit 11 selects any one of P1-P4 according to input signals SP1-SP4, and the selective circuit 12 selects any one of N1-N4 according to signals SN1-SN4. Then, by changing a transistor to be selected by the selective circuit, the voltage to be impressed to a delay circuit is changed. Thus, the delay time can be easily changed.



This Page Blank (uspto)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-135311

⑤ Int. Cl.⁵

識別記号

庁内整理番号

④ 公開 平成4年(1992)5月8日

H 03 K 5/13

7125-5J

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体集積回路

⑯ 特 願 平2-257801

⑰ 出 願 平2(1990)9月27日

⑱ 発 明 者 永 嶋 正 治 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体集積回路

特許請求の範囲

入力端子と出力端子との間にドライブ回路とインバータとを介在させ、前記ドライブ回路に容量性負荷が接続された遅延回路を備えた半導体集積回路において、前記ドライブ回路に印加する電圧を変化させる選択回路を設けたことを特徴とする半導体集積回路。

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体集積回路に関し、特に遅延回路に関する。

〔従来の技術〕

従来のこの種の遅延回路としては、第2図のような回路例がある。第2図において、ドライブ回

路21、コンデンサC2からなる負荷22、インバータ23より構成され、ドライブ回路21のMOSトランジスタP6には電圧VDD、MOSトランジスタN6には電圧GNDが印加されている。今ドライブ回路21の入力信号INが、VDDからGNDに変化し、トランジスタP6がOFFからON、トランジスタN6がONからOFFになるときを考える。入力信号INがVDDのとき、ドライブ回路21の出力は、GNDであるため、負荷22には電荷が充電されていない状態である。トランジスタP6がONするとドライブ回路21の出力は、トランジスタP6に印加される電圧がVDD一定であるため、負荷22を放電しながら徐々に上昇し、インバータ23の出力OUTが変化するスレッシュホールド電圧になるまでの時間は、一定である。

次に、入力信号INがGNDからVDDに変化し、トランジスタP6がONからOFF、トランジスタN6がOFFからONになるときを考える。入力信号がGNDのとき、ドライブ回路21

の出力は、VDDであるため負荷22には電荷が充電された状態である。トランジスタN6がONするとドライブ回路21の出力は、トランジスタN6に印加される電圧はGND一定であるため、負荷22に充電された電荷を放電しながら徐々に低下し、インバータ23の出力OUTが変化するスレッシュホールド電圧になるまでの時間は一定である。

従って、ドライブ回路21の入力信号が変化後出力が変化し、インバータ23のスレッシュホールド電圧になるまでの時間は一定である。

〔発明が解決しようとする課題〕

前述した従来の半導体集積回路は、遅延回路の出力に負荷容量を設け、この負荷容量の充放電作用のため、出力の変化が無負荷のときと比べて遅くなることを利用した回路であり、かつ遅延回路に供給される電源電圧、及び設けられた負荷容量が一定であるため、遅延時間は常に一定になる欠点がある。

本発明の目的は、前記欠点を解決し、容易に遅

延時間を変更できるようにした半導体集積回路を提供することにある。

〔課題を解決するための手段〕

本発明の半導体集積回路の構成は、入力端子と出力端子との間にドライブ回路とインバータとを介在させ、前記ドライブ回路に容量性負荷が接続された遅延回路を備えた半導体集積回路において、前記ドライブ回路に印加する電圧を変化させる選択回路を設けたことを特徴とする。

〔実施例〕

次に本発明について図面を参照して説明する。

第1図は本発明の一実施例の半導体集積回路の回路図である。第1図において、本実施例は、選択回路11、選択回路12、ドライブ回路13、負荷14、インバータ15、Pチャネル(ch)トランジスタP1乃至P5、NchトランジスタN1乃至N5、抵抗R1乃至R8、容量C1を含み構成される。ここで、選択回路11は、入力信号SP1~SP4により、P1~P4のどれかを選択し、選択回路12は信号SN1~SN4によ

り、N1~N4のどれかを選択する。ドライブ回路13は、トランジスタP5、N5からなる。負荷14は、コンデンサC1を有する。

今選択回路11によりトランジスタP1が選択されると、トランジスタP1はONとなりこのON抵抗とこれに接続された抵抗R1との合成抵抗のため、ドライブ回路13のトランジスタP5に印加される節点Aの電圧が、合成抵抗と合成抵抗を流れる電流との積の電圧だけVDDより低下する。選択回路11によりトランジスタP2、P3が選択されると、トランジスタP2、P3がONとなり、トランジスタP2、P3のON抵抗とこれらに接続された抵抗R2、R3との合成抵抗のため、節点Aの電圧で合成抵抗と合成抵抗を流れる電流との積の電圧だけVDDより低下する。選択回路11により、ONさせるトランジスタP1~P4を選択することで、トランジスタP5に印加される節点Aの電圧を変えることが可能である。

また、選択回路12によりトランジスタN1が

選択されると、トランジスタN1はONとなり、このON抵抗とこれに接続された抵抗R5との合成抵抗のため、トランジスタN5に印加される節点Bの電圧が、合成抵抗と合成抵抗を流れる電流との積の電圧だけGNDより上昇する。選択回路12により、トランジスタN3、N4が選択されると、トランジスタN3、N4はONとなり、これらのON抵抗とこれらに接続された抵抗R7、R8との合成抵抗のため、トランジスタN5に印加される節点Bの電圧は合成抵抗と合成抵抗を流れる電流との積の電圧だけGNDより上昇する。選択回路12によりONさせるトランジスタN1~N5を選択することで、トランジスタN5に印加される節点Bの電圧を変えることが可能である。

ドライブ回路13の入力信号INがVDDからGNDに変化し、トランジスタP5がOFFからON、トランジスタN5がONからOFFになるときを考える。入力信号INがVDDのとき、ドライブ回路13の出力はGNDであるため、負荷

14には電荷が充電されていない状態である。

トランジスタP5がONするとドライブ回路13の出力は、負荷14を充電しながらGNDから徐々に電圧が上昇する。電圧の上昇は、トランジスタP5に印加される節点Aの電圧が高いほど、電圧の立上りが急になる。インバータ15は、ドライブ回路13の出力を入力とし、スレッシュホールド電圧を基準に入力信号を反転させて出力する。ドライブ回路13の入力信号INが変化後、ドライブ回路13の出力がインバータ15のスレッシュホールド電圧に変化するまでの遅延時間は、ドライブ回路13の出力変化が急なほど短くなる。従って、遅延時間は選択回路11によりONさせるトランジスタP1～P4を選択し、節点Aの電圧を変えることにより、遅延時間を変化させることが可能である。

次に、ドライブ回路13の入力信号INがGNDからVDDに変化し、トランジスタP5がONからOFF、トランジスタN5がOFFからONになるときを考える。入力信号INがGNDのと

き、ドライブ回路13の出力は、VDDであるため、負荷14には電荷が充電された状態である。トランジスタN5がONするとドライブ回路13の出力は、負荷14に充電された電荷を放電しながら、徐々に電圧が降下する。ドライブ回路13の出力は、トランジスタN5に印加される節点Bの電圧が低いほど、電圧が立下りが急になる。従って、ドライブ回路13の入力信号INが変化後、ドライブ回路13の出力がインバータ15のスレッシュホールド電圧に変化するまでの遅延時間は、ドライブ回路13の出力変化が急なほど短くなる。選択回路12によりONさせるトランジスタN1～N4を選択し、節点Bの電圧を変えることで、遅延時間を変化させることが可能である。
〔発明の効果〕

以上説明したように、本発明は、遅延回路により例えばVDDから合成抵抗分降下した電圧を遅延回路に印加し、また選択回路により例えばGNDから合成抵抗分上昇した電圧を遅延回路に印加するため、選択回路により選択するトランジスタ

- 7 -

- 8 -

を変更することで、遅延回路に印加される電圧が変わり、遅延時間を変えることができるという効果がある。

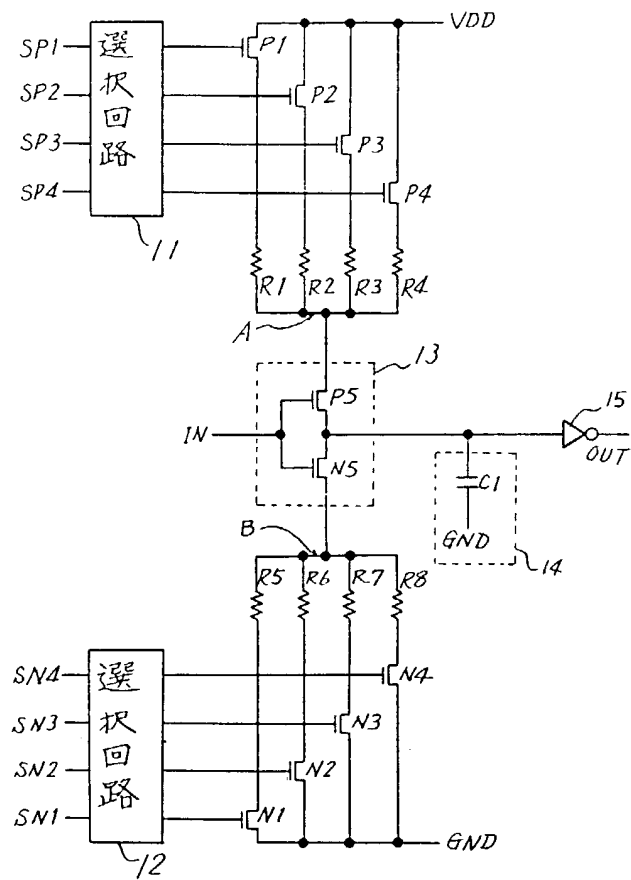
図面の簡単な説明

第1図は本発明の一実施例の半導体集積回路を示す回路図、第2図は従来の遅延回路を示す回路図である。

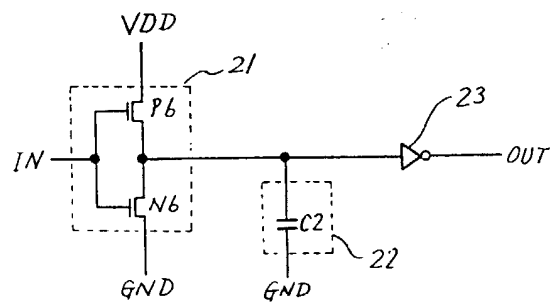
11…遅延回路、12…選択回路、13, 21…ドライブ回路、14, 22…負荷、15, 23…インバータ、P1, P2, P3, P4, P5, P6…Pchトランジスタ、N1, N2, N3, N4, N5, N6…Nchトランジスタ、C1, C2…コンデンサ、R1, R2, R3, R4, R5, R6, R7, R8…抵抗。

代理人 弁理士 内 原 晋

- 9 -



第 1 図



第 2 図